

CLIPPEDIMAGE= JP02001189334A

PAT-NO: JP02001189334A

DOCUMENT-IDENTIFIER: JP 2001189334 A

TITLE: SEMICONDUCTOR ELEMENT AND MANUFACTURING METHOD THEREFOR

PUBN-DATE: July 10, 2001

INVENTOR-INFORMATION:

NAME	COUNTRY
RI, SOTON	N/A
KIN, HEISHU	N/A
RI, SHOKUN	N/A
LEE, SOO-CHEOL	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SAMSUNG ELECTRONICS CO LTD	N/A

APPL-NO: JP2000147114

APPL-DATE: May 18, 2000

INT-CL (IPC): H01L021/60

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a semiconductor element, together with its manufacturing method, where the reliability of the phased layer of UBM(under bump metallurgy) is assured, while reducing the cost.

SOLUTION: A semiconductor substrate 10 comprising a conductive electrode pad 11 is provided. A UBM50 is provided, where a first metal layer 51 which is a lower layer and formed on the electrode pad 11, a third metal layer 55 which is an upper layer, and a phased layer 53 between them are constituted and related to the phased layer 53, second metal layers 151 and 251 of the same material as the first metal layer 51 and fourth metal layers 155 and 255 of the same material as the third metal layer 55 are laminated alternately, with the thickness of the second metal layers 151 and 251 becoming gradually thinner, proceeding from the first metal layer 51 to the third metal layer 53, while the thickness of fourth metal layers 155 and 255 becomes gradually thicker, proceeding from the first metal layer 51 to the third metal 55. Furthermore, a conductive bump 41 formed on the UBM50 is provided.

COPYRIGHT: (C)2001,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-189334

(P2001-189334A)

(43) 公開日 平成13年7月10日 (2001.7.10)

(51) Int. Cl.  
H 0 1 L 21/60

識別記号

F I  
H 0 1 L 21/92

テーマコード (参考)

6 0 3 D

審査請求 有 請求項の数 9 O L (全 7 頁)

(21) 出願番号 特願2000-147114(P2000-147114)

(22) 出願日 平成12年5月18日 (2000.5.18)

(31) 優先権主張番号 1 9 9 9 P - 5 8 1 5 1

(32) 優先日 平成11年12月16日 (1999.12.16)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 李 相 惇

大韓民国ソウル市江南区大峙3洞 宇星ア

パート201-303

(72) 発明者 金 炳 洙

大韓民国京畿道水原市八達区梅灘3洞 住

公アパート114-305

(74) 代理人 100086368

弁理士 萩原 誠

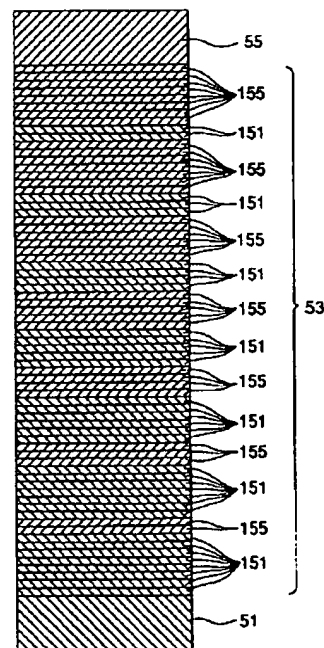
最終頁に続く

(54) 【発明の名称】 半導体素子とその製造方法

(57) 【要約】

【課題】 原価節減を図りながらもUBM (Under Bump Metallurgy) の転位層 (phased layer) の信頼性を確保することができる半導体素子とその製造方法を提供する。

【解決手段】 導電性電極パッド11を有する半導体基板10と、前記電極パッド11上に形成される下層の第1金属層51、上層の第3金属層55及びこれらの間の転位層53を有し、前記転位層53を前記第1金属層51と同一な材質の第2金属層151、251及び第3金属層55と同一材質の第4金属層155、255が交互に積層され、前記第2金属層151、251の厚さが前記第1金属層51から前記第3金属層55の方へ向うほど漸次薄くなり、前記第4金属層155、255の厚さが前記第1金属層51から前記第3金属層55の方へ向うほど漸次厚くなるUBM50と、前記UBM50上に形成された導電性バンプ41と、から構成される。



## 【特許請求の範囲】

## 【請求項1】 導電性電極パッドを有する半導体基板と、

前記電極パッド上に形成される下層の第1金属層、上層の第3金属層及びこれらの間の転位層を有し、前記転位層では前記第1金属層と同一材質の第2金属層、及び第3金属層と同一材質の第4金属層が交互に積層され、前記第2金属層の厚さが前記第1金属層から前記第3金属層の方へ向うほど漸次薄くなり、前記第4金属層の厚さが前記第1金属層から前記第3金属層の方へ向うほど漸次厚くなるUBMと、

前記UBM上に形成された導電性バンプと、から構成されることを特徴とする半導体素子。

【請求項2】 前記第2金属層と第4金属層とが相互拡散に必要な、薄い同一厚さを有する多層構造になることを特徴とする請求項1に記載の半導体素子。

【請求項3】 前記第2金属層と第4金属層とが単層構造になることを特徴とする請求項1に記載の半導体素子。

【請求項4】 前記第1及び第2金属層がクロム層からなり、前記第3及び第4金属層が銅層からなることを特徴とする請求項1に記載の半導体素子。

【請求項5】 半導体基板上に導電性電極パッドを形成する段階と、

前記半導体基板上に前記電極パッドを露出する開口部を有する保護膜を形成する段階と、

前記電極パッドと前記保護膜上に下層の第1金属層、中間層の転位層、及び上層の第3金属層を積層してUBMを形成し、前記転位層を前記第1金属層と同一材質の第2金属層及び前記第3金属層と同一材質の第4金属層を交互に積層した構造に形成し、前記第2金属層の厚さを前記第1金属層から前記第3金属層の方へ向うほど漸次薄く形成し、前記第4金属層の厚さを前記第1金属層から前記第3金属層の方へ向うほど漸次厚く形成する段階と、からなることを特徴とする半導体素子の製造方法。

【請求項6】 前記第2金属層と第4金属層とを相互拡散に必要な薄い同一厚さを有する多層構造に形成することを特徴とする請求項5に記載の半導体素子の製造方法。

【請求項7】 前記第2金属層と第4金属層とを単層構造に形成することを特徴とする請求項5に記載の半導体素子の製造方法。

【請求項8】 前記第1及び第2金属層をクロム層で形成し、前記第3及び第4金属層を銅層で形成することを特徴とする請求項5に記載の半導体素子の製造方法。

【請求項9】 前記第1及び第2金属層をクロムターゲットを用いたスパッタリング工程により形成し、前記第3及び第4金属層を銅ターゲットを用いたスパッタリング工程により形成することを特徴とする請求項5に記載の半導体素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術の分野】本発明は、半導体素子に係り、詳しくは、原価節減を図りながらもUBM(Under Bump Metallurgy)の電位層(phased layer)の信頼性を確保することができる半導体素子とその製造方法に関する。

## 【0002】

【従来の技術】一般に、電子機器の高速化、高密度化及び多機能化に対する要求は、微細線幅の工程技術による半導体チップのサイズの縮小及び単一素子の高集積度がなされることにより充足されてきた。半導体チップのパッドの間のステップピッチも縮小され、最近ではステップピッチが50 $\mu$ m以下まで縮小されるにともない、微細ステップピッチを有するパッドを既存のワイヤボンディング設備を用いてはこれ以上電氣的に連結することが難しい限界に直面している。また、単位面積当たりの単位素子の数が増加するに従い、半導体素子の電力消費が多くなり、半導体素子の動作速度も遅くなる。

【0003】このような問題点を解決するためフリップチップ接合(Flip Chip Attachment)技術が導入された。フリップチップ接合技術は既存のパッド構造をそのまま使用するのではなく、新しいパッド構造に変形して使用する。即ち、既存のパッド構造においては、最終金属配線上の保護膜(passivation layer)の一部にパッドを露出させるための開口部を形成し、パッドチップを金のようなワイヤによりワイヤボンディングする。フリップの接合技術では、最終金属配線上の保護膜の一部にパッドを露出するための開口部を形成する段階までは既存の工程と同一に実施し、これに追加して電子ビーム蒸着(E-beam evaporation)によりUBM (under bump metallurgy)のための金属とバンプのための溶ダとを積層し、水素雰囲気中で溶ダをリフローしてボール形状に変形させる。電子ビーム蒸着のときにUBMのための金属と溶ダとの選択的積層のために、Mo(モリブデン)材質のマスクが用いられてきた。

【0004】しかし、このような方式のフリップチップ接合技術を実現する場合、二つの問題点が発生する。一つの問題点は製造原価が高いというものである。即ち、Mo材質のマスクにより選択的積層を実現するに際して、UBM用金属の積層厚さは1 $\mu$ m以下であるが、溶ダの積層厚さが70 $\mu$ m以上であるため、電子ビーム蒸着の途中で積層材料の損失が多く、又、スルーホール(through put)が低い。2番目の問題点は、半導体チップのサイズ縮小に従うMo材質のマスクの分解能確保が難しいというものである。即ち、Mo材質のマスクにより選択的積層をする場合、現在は0.25 $\mu$ m設計ルールの製造工程でバンプのサイズは約100 $\mu$ m以上なるので、マスクにパッドのためのパターンを形成するのに別段難しさはないが、次世代半導体素子では、バンプサイズが75 $\mu$ m以下に縮小されているので、マスクにパッドのためのパターンを

形成することが難しい。また、マスクを使用する場合、電子ビーム蒸着設備にウェーハをローディングする過程で不整合が発生し易く、パターンの移動(shift)可能性が高くなる。

【0005】電子ビーム蒸着の問題点を改善するため、UBMを基板の全面に積層し、ソルダを電気メッキ工程により選択的に積層する方法が試みられた。即ち、図5に示すように、先ず、アルミニウムの電極パッド11の形成された半導体基板10を準備し、酸化膜及び窒化膜のような保護膜13をパッド11と半導体基板10上に一緒に積層し、パッド11上の保護膜13にパッド11を露出するための開口部を形成する。一方、保護膜13の開口部にオーバーラップし、保護膜13の開口部よりも大きいサイズの開口部を有するポリイミド膜(図示せず)を保護膜13上に追加して形成することができるが、これは後続の工程で形成するUBM20の下層金属層であるクロム層21のストレスを緩和するためである。

【0006】ついで、図6に示すように、UBM20を形成するためパッド11と保護膜13上に一緒に下層金属層のクロム層21、中間層の電位層23、及び上層金属層の銅層25を順次積層する。ついで、図7に示すように、UBM20上に食刻防止膜の感光膜30をコーティングし、フォトリソグラフィ技術により感光膜30をパターンニングし、パッド11とオーバーラップするような、同一大きさ以上の開口部を形成する。

【0007】ついで、図8に示すように、開口部内のパッド11上に電気メッキ法によりソルダをメッキした後、感光膜30を除去して柱状のソルダ層40を形成する。もちろん、ソルダ層40をキノコ形状に形成することもできる。ついで、図9に示すように、ソルダ層40をマスクとしてソルダ層40の辺りのUBM20を保護膜13が露出されるまで食刻する。最後に、図10に示すように、通常のリフロー工程によりソルダ層40をバンプのためのボール形状のソルダ層41に変形させる。

【0008】

【発明が解決しようとする課題】従来は、クロムの積層量を漸次減少させ、銅の積層量を漸次増加させることにより、図11に示すように、良好なO/Aプロファイルを有しながら信頼性のある転位層23を実現していた。即ち、クロムの組成比は実線で表示されるように、クロム層21で100%で一定し、転位層23内で銅層25の方へ向うほど漸次低くなり、銅層25で0%で一定になる。一方、銅の組成比は点線で表示されるように、クロム層21で0%で一定し、転位層23内で銅層25の方へ向うほど漸次高くなり、銅層25で100%で一定になる。しかし、従来は、転位層23を実現するため電子ビーム蒸着法を用いるため、UBM20の積層速度が遅く、これは工程時間の延長をもたらし、さらに原価上昇を招来する。

【0009】最近、このような短所を克服してUBMの転位層を実現するため、スパッタリング設備を改造して使

用している。このようなスパッタリング設備は、内部ターゲットとこれを囲む外部ターゲットとからなる二重ターゲットシステムを採用している。しかし、半導体基板、例えばウェーハ上の各位置で転位層の厚さが不均一で、転位層を構成するクロムと銅の組成比が不均一であるため、転位層の信頼性を確保することが難しい。本発明は、UBMの転位層の信頼性を確保しながら良好な厚さの均一性を図ることのできる半導体素子とその製造方法を提供することを目的とする。本発明の他の目的は、UBMの積層速度を高め、原価節減を図り得る半導体素子とその製造方法を提供するにある。

【0010】

【課題を解決するための手段】上記目的を達成するため本発明による半導体素子は、導電性電極パッドを有する半導体基板と、前記電極パッド上に形成される下層の第1金属層、上層の第3金属層及びこれらの間の転位層を有し、前記転位層では前記第1金属層と同一材質の第2金属層、及び第3金属層と同一材質の第4金属層が交互に積層され、前記第2金属層の厚さが前記第1金属層から前記第3金属層の方へ向うほど漸次薄くなり、前記第4金属層の厚さが前記第1金属層から前記第3金属層の方へ向うほど漸次厚くなるUBMと、前記UBM上に形成された導電性バンプと、からなることを特徴とする。

【0011】好ましくは、前記第2金属層と第4金属層とが相互拡散に必要な薄い同一厚さを有する多層構造になされる。また、前記第2金属層と第4金属層と単層構造にすることができる。また、前記第1及び第2金属層をクロム層とすることができ、前記第3及び第4金属層を銅層とすることもできる。このような目的を達成するため本発明による半導体素子の製造方法は、半導体基板上に導電性電極パッドを形成する段階と、前記半導体基板上に前記電極パッドを露出する開口部を有する保護膜を形成する段階と、前記電極パッドと前記保護膜上に下層の第1金属層、中間層の転位層、上方の第3金属層を積層してUBMを形成し、前記転位層を前記第1金属層と同一材質の第2金属層、及び前記第3金属層と同一材質の第4金属層を交互に積層した構造に形成し、前記第2金属層の厚さを前記第1金属層から前記第3金属層の方へ向うほど漸次薄く形成し、前記第4金属層の厚さを前記第1金属層から前記第3金属層の方へ向うほど漸次厚く形成する段階と、からなることを特徴とする。

【0012】好ましくは、前記第2金属層と第4金属層とを相互拡散に必要な薄い同一厚さを有する多層構造に形成することができる。また、前記第2金属層と第4金属層とを単層構造に形成することもできる。前記第1及び第2金属層をクロム層で形成することができ、前記第3及び第4金属層を銅層で形成することができる。前記第1及び第2金属層をクロムターゲットを用いたスパッタリング工程により形成し、前記第3及び第4金属層を銅ターゲットを用いたスパッタリング工程により形成すること

ができる。これにより、本発明は、信頼性の良好な転位層を形成でき、UBMの工程時間を短縮して原価節減を図ることができる。

【0013】

【発明の実施の形態】以下、本発明による半導体素子とその製造方法を図面を用いて説明する。従来の部分と同一構成及び同一作用の部分には同一符号を付与し、この詳細説明は省略する。図1は、本発明による半導体素子の構造を示した断面図である。図1に示すように、本発明の半導体素子においては、半導体基板10の表面上にアルミニウムのような導電性材質の電極パッド11が形成され、半導体基板10上にパッド11を露出する開口部を有する酸化膜及び窒化膜のような保護膜13が形成され、パッド11上のみに下層の第1金属層のクロム層51と、中間層の転位層53と、上層の第3金属層の銅層55とからなるUBM50が形成され、UBM50上にバンパのためのボール形状のソルダ層41が形成される。もちろん、保護膜13の開口部にオーバーラップし、保護膜13の開口部よりもサイズの大きい開口部を有するポリイミド膜（図示せず）が保護膜13上に追加して形成することができるが、これはUBM20の下層金属層であるクロム層のストレスを緩和するためである。

【0014】ここで、転位層53は、図2に示すように、クロム層51と銅層55との間に第2金属層のクロム層151と第4金属層の銅層155とが交互に積層される。クロム層151がクロム層51から銅層55の方へ向うほど漸次厚くなる。クロム層151と銅層155とがそれぞれクロムと銅の相互拡散ができるだけ薄い同一厚さに多層構造となる。

【0015】これに対しもっと詳しく説明すると、クロム層51上に8層のクロム層151が積層され、2層の銅層155が積層され、7層のクロム層151が積層され、3層の銅層155が積層され、6層のクロム層151が積層され、4層の銅層155が積層され、5層のクロム層151が積層され、5層の銅層155が積層され、4層のクロム層151が積層され、6層の銅層155が積層され、3層のクロム層151が積層され、7層の銅層155が積層され、2層のクロム層151が積層され、8層の銅層155が積層される。

【0016】このように構成されたUBMの場合、図4に示すように、良好な0Jプロファイルを有し、信頼性のある転位層53を実現することができる。即ち、クロムの組成比は実線で表示するように、クロム層51で100%で一定し、転位層53内で銅層55の方へ向うほど漸次低くなり、銅層55で0%で一定になる。一方、銅の組成比は点線で表示するように、クロム層51で0%で一定し、転位層53内で銅層55の方へ向うほど漸次高くなり、銅層55で100%で一定になる。従って、本発明は、UBMの転位層を多層構造に積層して転位層の良好な信頼性を実現することができる。

【0017】一方、転位層53は、図3に示すように、クロム層51と銅層55との間に第2金属層のクロム層251と第4金属層の銅層255とが交互に積層され、クロム層251がクロム層51から銅層55の方へ向うほど漸次薄くなり、銅層255がクロム層51から銅層55の方へ向うほど漸次厚くなる。なおクロム層251と銅層255とを単層構造にすることもできる。このように構成されたUBMの場合も、良好な0Jプロファイルを有し信頼性のある転位層53を実現することができる。説明の重複を避けるため、これに対する詳しい説明は省略する。

【0018】以下、本発明に係る半導体素子の製造方法を図1乃至図4を用いて説明する。まず、アルミニウムのような導電性材質の電極パッド11が形成された半導体基板10を準備し、酸化膜及び窒化膜のような保護膜13をパッド11と半導体基板10上に積層し、パッド11上の保護膜13にパッド11を露出するための開口部を形成する。もちろん、保護膜13の開口部にオーバーラップし、保護膜13の開口部よりもサイズの大きい開口部を有するポリイミド膜（図示せず）を保護膜13上に追加して形成することもできる。これは後続の工程で形成するUBM20の下層金属層のクロム層51のストレスを緩和するためである。

【0019】ついで、パッド11と保護膜13上に一緒に下層金属層のクロム層151と中間層の転位層53と上層金属層の銅層55とを有するUBM50をスパッタリング工程により形成する。ここで、各層を、図示していないが、クロムターゲットと銅ターゲットとがそれぞれのチャンバに設置されたスパッタリング設備により積層することができる。もちろん、クロムターゲットと銅ターゲットとが一つのチャンバに一緒に設置されたスパッタリング設備により積層することもできる。

【0020】転位層53の積層過程を詳しく説明すると、クロム層51上に第2金属層のクロム層151と第4金属層の銅層155とを交互に積層する。このとき、クロム層151をクロム層51から銅層55の方へ向う程漸次薄く形成し、銅層155をクロム層51から銅層55の方へ向うほど漸次厚く形成する。クロム層151と銅層155とがそれぞれクロムと銅の相互拡散の可能な同一厚さに多層構造とすることもできる。

【0021】即ち、前記クロムターゲットを用いて前記露出されたパッド11と保護膜13上にクロム層51を積層し、クロムターゲットを用いてクロム層51上にクロムと銅の相互拡散の可能な薄い同一厚さに8層積層してクロム151を形成し、銅ターゲットを用いてクロムと銅の相互拡散の可能な薄い同一厚さに2層積層して銅層155を形成する。

【0022】同一な方法を用いて7層のクロム層151を形成し、3層の銅層155を形成した後、6層のクロム層151を形成し、4層の銅層155を形成する。次いで、5層のクロム層151を形成し、5層の銅層155を形成した後、4層のクロム層151を形成し、6層の銅層155を形成する。次い

で、3層のクロム層151を形成し、7層の銅層155を形成した後、2層のクロム層151を形成し、8層の銅層155を形成する。

【0023】前記方法により積層の完了したUBM50のOJプロファイルを図4に示す。転位層53の信頼性が良好であることがわかる。即ち、クロムの組成比は実線で表示されたように、クロム層51で100%で一定し、転位層53内で銅層55の方へ向うほど漸次低くなり、銅層55で0%で一定になる。反面、銅の組成比は点線に表示されたように、クロム層51で0%で一定になり、転位層53内で銅層55の方へ向うほど漸次高くなり、銅層55で100%で一定になることがわかる。

【0024】一方、クロム層151と銅層155とをそれぞれクロムと銅の相互拡散の可能な薄い同一厚さに多層構造を形成する代わりに、図3に示すように、クロム層251と銅層255とをそれぞれ単層で交互に積層してもよい。このとき、クロム層251をクロム層51から銅層55の方へ向うほど漸次薄く形成し、銅層255をクロム層51から銅層55の方へ向うほど漸次厚く形成する。

【0025】以後、通常の方法を用いてUBM50のパターン上にボール形状のソルダ層41を形成して本発明の工程を完了する。これに対する技術説明は本発明の要旨と関連性が少ないため、説明の便宜上省略する。従って、本発明は、UBMをスパッタリング工程により多層構造に積層することにより、転位層の良好な信頼性を実現でき、UBMの積層速度を高めて工程時間を短縮して原価節減を図ることができる。

【0026】

【発明の効果】以上説明したように本発明に係る半導体素子とその製造方法は、クロムターゲットと銅ターゲットが一つのチャンバ又はそれぞれのチャンバに設置されたスパッタリング設備を用いてクロム層と銅層とを交互に積層してUBMの転位層を形成する。このとき、銅層をそれぞれ相互拡散の可能な薄い同一厚さに多層積層しながら、転位層内でクロム層を漸次薄く積層し、銅層を漸次厚く積層する。従って、本発明は、転位層の信頼性を実現すると共に、UBMの積層速度を高めて工程時間を短

縮し原価節減を図ることができる。一方、本発明は、図示した図面と詳細な説明とに記述された内容に限定されず、本発明の思想を外れない範囲内で多様な形態の変形も可能であり、この分野に通常の知識を有したものには自明の事実である。

【図面の簡単な説明】

【図1】本発明による半導体素子を示した断面図である。

【図2】図1の半導体素子のUBMに一例として適用された多層構造の転位層を示す断面図である。

【図3】図1の半導体素子のUBMに他の例として適用された単層構造の転位層を示した断面図である。

【図4】図2のUBMの組成比プロファイルを示したグラフである。

【図5】従来の技術による半導体素子の製造工程を示した断面図である（その1）。

【図6】従来の技術による半導体素子の製造工程を示した断面図である（その2）。

【図7】従来の技術による半導体素子の製造工程を示した断面図である（その3）。

【図8】従来の技術による半導体素子の製造工程を示した断面図である（その4）。

【図9】従来の技術による半導体素子の製造工程を示した断面図である（その5）。

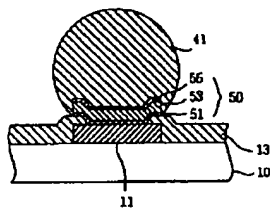
【図10】従来の技術による半導体素子の製造工程を示した断面図である（その6）。

【図11】従来の技術による半導体素子のUBMにおける組成比プロファイルを示したグラフである。

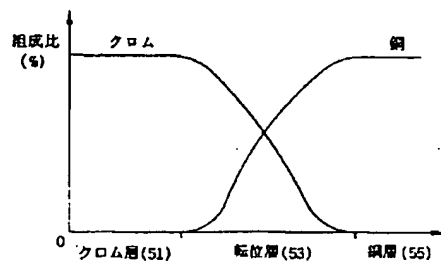
【符号の説明】

10	半導体基板
11	電極パッド
50	UBM
51	第1金属層
53	転位層
55	第3金属層
151	第2金属層
155	第4金属層

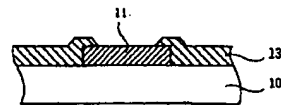
【図1】



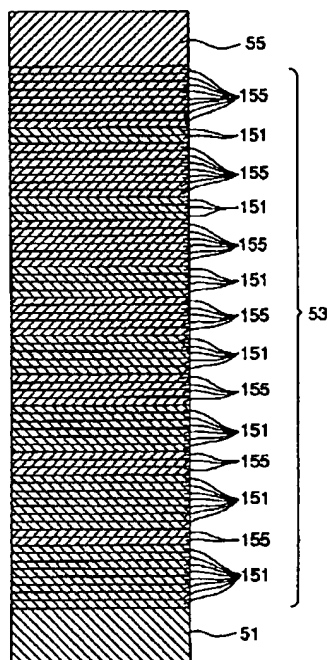
【図4】



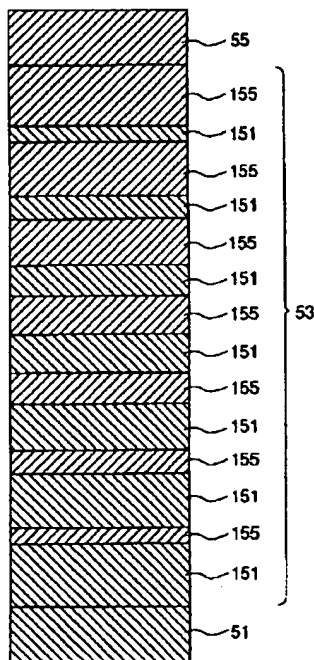
【図5】



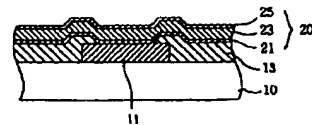
【図2】



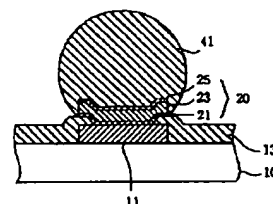
【図3】



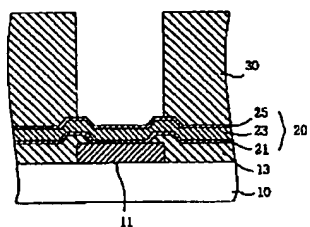
【図6】



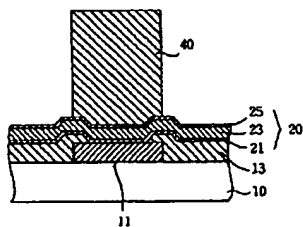
【図10】



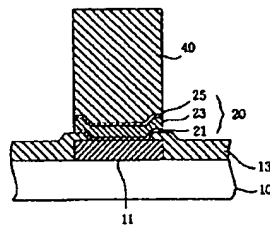
【図7】



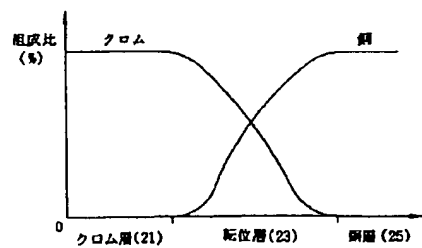
【図8】



【図9】



【図11】



(7)

特開2001-189334

フロントページの続き

(72)発明者 李 昌 勳

大韓民国京畿道安山市城浦洞 芸術人アパート8-1204

(72)発明者 李 受 哲

大韓民国ソウル市江南区道谷1洞 梅鳳三星アパートA-1901